

MENU

SEARCH

INDEX

JAPANESE

**LEGAL
STATUS**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-313860
(43)Date of publication of application : 21.12.1988

(51)Int.Cl. H01L 29/72
H01L 21/205
H01L 27/06

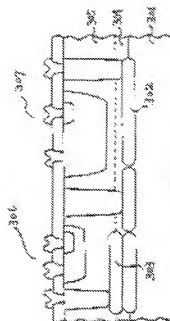
(21)Application number : 62-150556 (71) SEIKO EPSON CORP
Applicant :
(22)Date of filing : 17.06.1987 (72)Inventor : NAKASAKI YASUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve performance by composing a transistor onto a substrate, which can be acquired by alternately conducting the formation of, a high-concentration impurity region as a buried layer and epitaxial growth plural times and has partially different epitaxial thickness.

CONSTITUTION: Buried diffusion layers 302 are formed onto a substrate 301, an epitaxial layer 304 or another buried layer 303 is shaped onto the layers 302, and another epitaxial layer 305 is positioned to the upper section of the layer 304 or 303. A high-speed bipolar transistor 306 and a high breakdown- strength bipolar transistor 307 are organized into the epitaxial layer region 305. Consequently, since the epitaxial thickness of a section where the high-speed transistor 306 is positioned is thinned, collector resistance can be lowered, thus realizing higher-speed properties. On the other hand, the epitaxial thickness of the high breakdown-strength transistor section 307 is thickened, thus obtaining desired breakdown strength.



⑫ 公開特許公報(A) 昭63-313860

⑬ Int. Cl.⁴

H 01 L 29/72
21/205
27/06

識別記号

1 0 1

庁内整理番号

8526-5F
7739-5F

B-7373-5F

⑭ 公開 昭和63年(1988)12月21日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-150556

⑰ 出 願 昭62(1987)6月17日

⑱ 発 明 者 中 崎 泰 貴 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

エピタキシャル成長層をもつ基板上にトランジスタを形成して構成される半導体装置に於いて一部分のトランジスタの下には、高濃度の不純物拡散による埋め込み層が、積層した形で複数の層が、位置してなることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はトランジスタを形成した半導体装置の構造に関する。

(発明の概要)

本発明は、エピタキシャル層(エピ層)をもつ基板上にトランジスタを形成した半導体装置に於いて、埋め込み層となる高濃度不純物拡散領域

形成とエピ層成長を交互に複数回を行い、實質的にエピ層下の導電領域を形成し、該領域にそれぞれ、該エピ層が導くことで特徴付けられるトランジスタをそれぞれ構成したことを特徴とする半導体装置である。

(従来の技術)

従来のエピ層をもつ基板は通常第1図に示すように、101の半導体基板、102の埋め込み拡散層、103のエピ層がなっており、エピ層は基板全面にわたって一定であった。

(発明が解決しようとする課題)

従来技術のようにエピ層一定の時には、例えば薄いエピ層を必要とする高耐圧トランジスタと、厚いエピ層を必要とする高耐圧トランジスタを同一基板上に構成するにはかなり無理があった。そこで最近第2図のように基板201上に202の層を敷き、エピ層成長させることで部分的にエピ層を変えたものも提案されているが、導電層のエピ層成長が結晶性を悪くするため現実的ではないようである。いずれにしても現在まで、このよう

に相違する構造上の問題を解決して、それぞれのトランジスタの特性を犠牲にせず実現したものはなく、本発明は、新構造により、かかる問題を解決するものである。

(問題点を解決するための手段)

本発明は、埋め込み層となる高抵抗不純物領域形成とエビ成長を交互に密着進行することで得ることのできる、部分的にエビ厚の違う基板上にトランジスタを形成するものである。

(実施例)

本発明の実施例を図に示す。

301の基板の上に、302の埋め込み拡散層があり、その上には、エビ層303または別の埋め込み層303があり、更にその上部に別のエビ層305が位置する。305のエビ層領域中に306の高速バイポーラトランジスタ及び307の高抵抗バイポーラトランジスタが形成される。このように306の高速トランジスタの位置する部分のエビ層は薄くなっており、コレクタ抵抗が低減でき、より高速度が実現できる。これに対して

307の高抵抗トランジスタ部のエビ層は厚くはっており、所望の耐圧を得ることが可能である。またこの構造は、第4図、第5図からわかるように容易に実現できる。第4図は、通常の埋め込み拡散工程及びエビ成長工程を示したもので、その後第4図のように401の2層目の埋め込み拡散工程及び402の2層目のエビ成長工程をしたものである。401の埋め込み層と、その下の埋め込み層は、エビ厚と熱工程をコントロールすること、必要に応じて接触させることもできるし、離すこともできる。

(発明の効果)

以上述べたごとく、本構造は、エビ厚の差により特徴付けられるトランジスタを、実施例の例のように、容易に実現でき、高抵抗の半導体素子を提供できる。

4. 図面の簡単な説明

第1図は従来の半導体エビ基板を示す断面図、
第2図は従来の別の半導体エビ基板を示す断面

図。

第3図は本発明の実施例を示す断面図。

第4図は本発明を実現するための工程断面図。

第5図は本発明を実現するための工程断面図。

1の1…半導体基板

102…埋め込み不純物拡散層

106…エビ層

201…半導体基板

202…層

203…エビ層

301…半導体基板

302…埋め込み不純物拡散層

303…2層目の埋め込み不純物拡散層

304…エビ層

305…2層目のエビ層

306…高速バイポーラトランジスタ

307…高抵抗バイポーラトランジスタ

401…半導体基板

402…埋め込み不純物拡散層

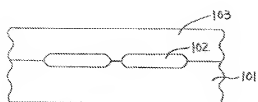
403…エビ層

図 上

出願人 セイコーエプソン株式会社

代理人 弁理士 飯 上 善 徳

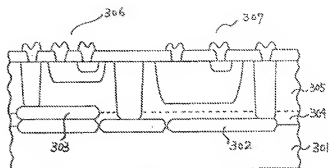




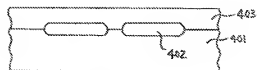
第1図



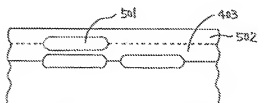
第2図



第3図



第4図



第5図